

# Lista - Técnicas Digitais II

## Prova 1

### Conversões

1) Converta os seguintes números binários em seus valores equivalentes decimais.

- |                   |                      |
|-------------------|----------------------|
| (a) $11001_2$     | (d) $100100001001_2$ |
| (b) $1001,1001_2$ | (e) $11111111_2$     |
| (c) $10110_2$     | (f) $1111010111_2$   |

2) Converta os seguintes números decimais em seus valores equivalentes em binários.

- |          |         |
|----------|---------|
| (a) 13   | (d) 77  |
| (b) 189  | (e) 390 |
| (c) 1000 | (f) 205 |

3) Qual é o maior número que podemos contar usando 10 bits?

### Códigos

4) Codifique os números decimais a seguir em BCD.

- |         |            |
|---------|------------|
| (a) 47  | (d) 6.727  |
| (b) 962 | (e) 13     |
| (c) 187 | (f) 89.627 |

5) Quantos bits são necessários para representar os números decimais na faixa de 0 a 999 usando o código binário puro? E o código BCD?

6) Os bytes a seguir (mostrados em hexa) representam o nome de uma pessoa do modo como foi armazenado na memória de um computador. Cada byte é um código em ASCII com um bit (MSB) anexado. Determine o nome da pessoa.

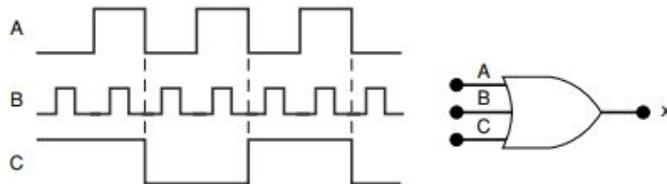
- (a) 42 45 4E 20 53 4D 49 54 48  
(b) 4A 6F 65 20 47 72 65 65 6E

7) Em determinado sistema digital, os números decimais de 000 a 999 são representados em código BCD. Um bit de paridade ímpar foi anexado ao final de cada sequência de bits. Analise cada código a seguir e admita que cada sequência de bits tenha sido transmitida de um local para outro. Algumas das sequências de bits contêm erros. Suponha que não tenham ocorrido mais que dois bits errados para cada sequência. Determine qual(is) contém(êm) um único bit errado e qual(is), definitivamente, contém(êm) dois. (Dica: lembre-se de que se trata de um código BCD.)

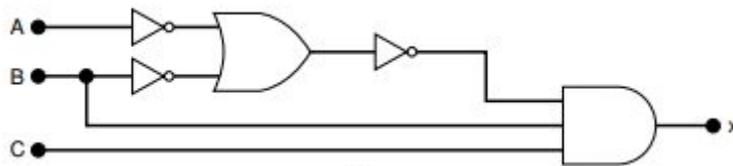
- |                   |                   |
|-------------------|-------------------|
| (a) 1001010110000 | (c) 0111110000011 |
| (b) 0100011101100 | (d) 1000011000101 |

## Portas Lógicas

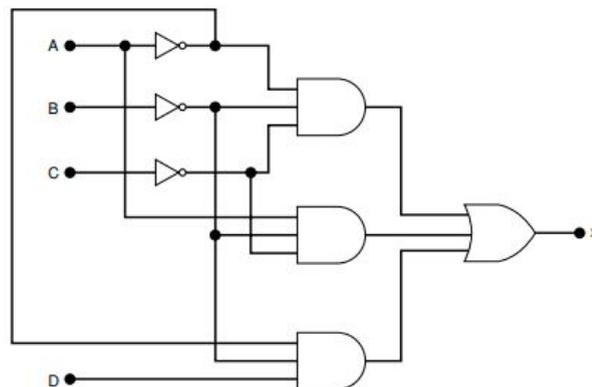
8) Suponha que a entrada A na figura abaixo seja, não intencionalmente, curto-circuitada para a linha de alimentação +5 V (isto é,  $A = 1$ ). Desenhe a forma de onda de saída resultante.



9) (a) Escreva a expressão booleana para a saída x na Figura. Determine o valor de x para todas as condições possíveis de entrada e relacione os resultados em uma tabela-verdade.



(b) Repita para o circuito da Figura abaixo.

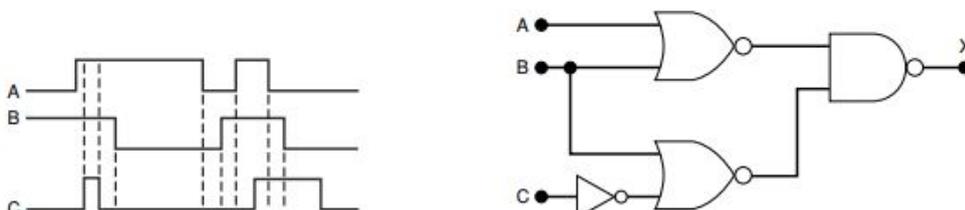


10) Para cada uma das expressões a seguir, desenhe o circuito lógico correspondente usando portas AND, OR e INVERSORES.

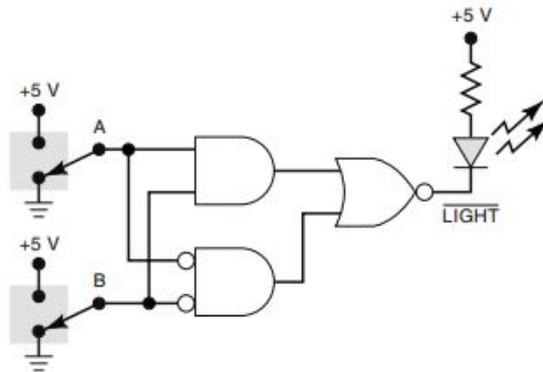
$$(a)^* x = \overline{AB(C+D)}$$

$$(b)^* z = \overline{A+B+CDE} + \overline{BCD}$$

11) Escreva a expressão para a saída do circuito e use-a para determinar a tabela-verdade completa. Em seguida, aplique as formas de onda às entradas do circuito e desenhe a forma de onda de saída resultante.



12) A Figura abaixo mostra uma aplicação de portas lógicas que simula um circuito two-way como o usado em nossas casas para ligar ou desligar uma lâmpada a partir de interruptores diferentes. Nesse caso, é usado um LED que estará LIGADO (conduzindo) quando a saída da porta NOR for nível BAIXO. Observe que essa saída foi nomeada LIGHT para indicar que é ativa-em-baixo. Determine as condições de entrada necessárias para ligar o LED. Em seguida, verifique se o circuito funciona como um interruptor two-way (interruptores A e B).

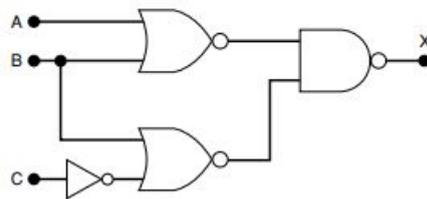


### Teorema de DeMorgan

13) Simplifique cada uma das seguintes expressões usando os teoremas de DeMorgan.

- (a)\*  $\overline{\overline{ABC}}$
- (b)  $\overline{A + \overline{BC}}$
- (c)\*  $\overline{\overline{ABCD}}$
- (d)  $\overline{A + \overline{B}}$
- (e)\*  $\overline{\overline{AB}}$

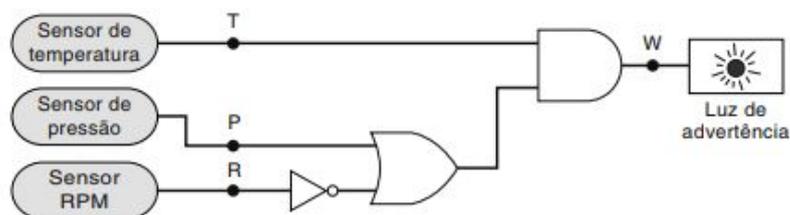
14) Use os teoremas de DeMorgan para simplificar a expressão de saída do circuito abaixo.



15) Um avião a jato emprega um sistema de monitoração dos valores de rpm, pressão e temperatura dos seus motores usando sensores que operam, conforme descrito a seguir:

- saída do sensor RPM = 0, apenas quando a velocidade for  $< 4.800$  rpm
- saída do sensor P = 0, apenas quando a pressão for  $< 1,33$  N/m<sup>2</sup>
- saída do sensor T = 0, apenas quando a temperatura for  $< 93,3^{\circ}\text{C}$

16) A Figura abaixo mostra o circuito lógico que controla uma lâmpada de advertência dentro da cabine para certas combinações de condições da máquina. Admita que um nível ALTO na saída W ative a luz de advertência.



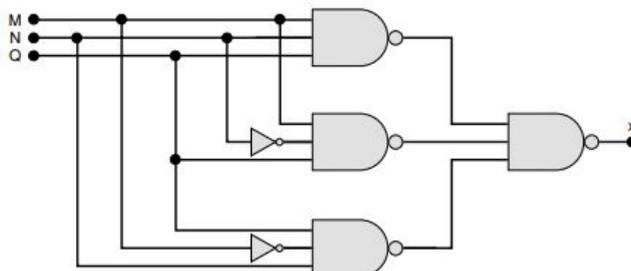
- (a) Determine quais condições do motor indicam sinal de advertência ao piloto.  
 (b) Troque esse circuito por outro que contenha apenas portas NAND.

## Simplificação booleana

17) Simplifique as seguintes expressões usando a álgebra booleana.

- (a)  $x = ABC + \bar{A}C$   
 (b)  $y = (Q + R)(\bar{Q} + \bar{R})$   
 (c)  $w = ABC + A\bar{B}C + \bar{A}$   
 (d)  $q = \bar{R}ST(R + S + T)$

18) Simplifique o circuito mostrado abaixo usando a álgebra booleana.



## Circuitos

19) Projete o circuito lógico correspondente à tabela-verdade mostrada na Tabela abaixo.

A	B	C	x
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

20) Implemente um circuito digital combinacional utilizando apenas portas lógicas do tipo NAND para a função Booleana  $f(A,B) = A.B + A+\bar{B}$ .

21) Projete um circuito lógico cuja saída seja nível ALTO apenas quando a maioria das entradas A, B e C for nível BAIXO.

22) Uma fábrica precisa de uma sirene para indicar o fim do expediente. A sirene deve ser ativada quando ocorrer uma das seguintes condições:

1. Já passou das cinco horas e todas as máquinas estão desligadas.
2. É sexta-feira, a produção do dia foi atingida e todas as máquinas estão paradas.

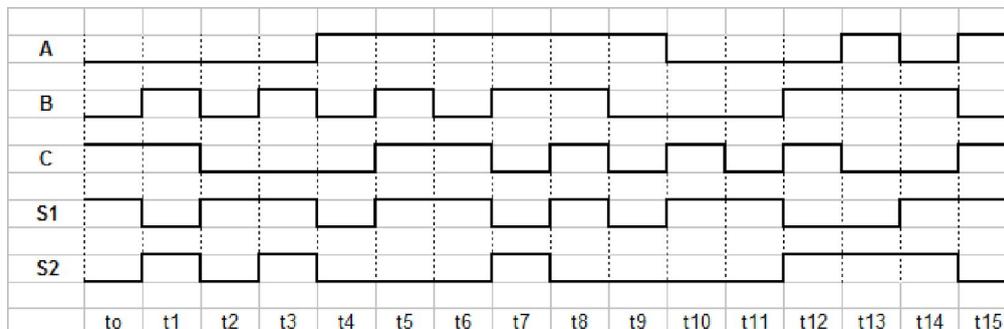
Projete um circuito lógico para controle da sirene. (Sugestão: use quatro variáveis lógicas de entrada para representar as diversas condições; por exemplo, a entrada A será nível ALTO apenas quando for 5 horas ou mais.)

23) Um número de quatro bits é representado como A3A2A1A0, em que A3, A2, A1 e A0 são os bits individuais e A0 é o LSB. Projete um circuito lógico que gere um nível ALTO na saída sempre que o número binário for maior que 0010 e menor que 1000.

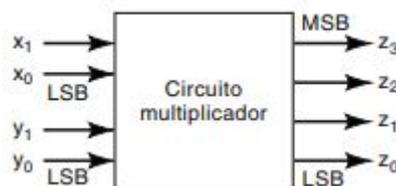
24) A Figura abaixo mostra um diagrama para um circuito de alarme de automóvel usado para detectar determinada condição indesejada. As três chaves são usadas para indicar, respectivamente, o estado da porta do motorista, da ignição e dos faróis. Projete um circuito lógico com essas três chaves como entrada, de modo que o alarme seja ativado sempre que ocorrer uma das seguintes condições:

- Os faróis estão acesos e a ignição está desligada.
- A porta está aberta e a ignição está ligada

25) Dadas as formas de onda abaixo e sabendo-se que as saídas S1 e S2 pertencem a um único circuito combinacional cujas entradas são A, B e C, projete o circuito utilizando-se o menor número de portas lógicas possível.

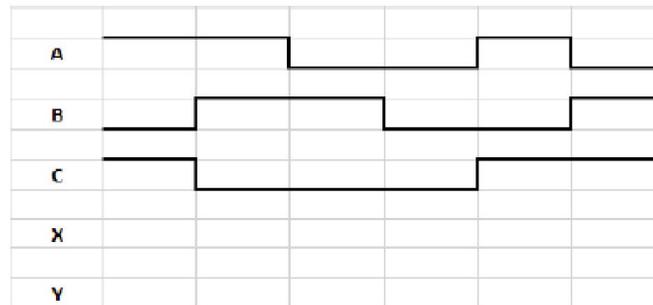
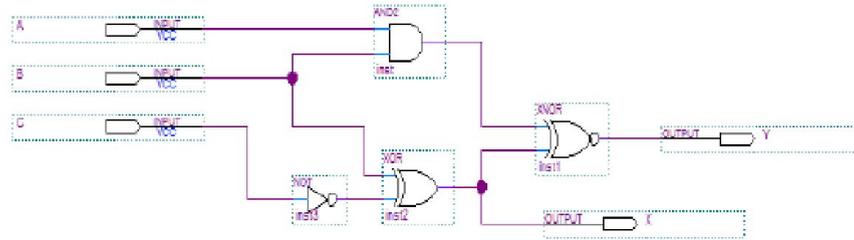


26) A Figura abaixo representa um circuito multiplicador que recebe dois números binários  $x_1x_0$  e  $y_1y_0$  e gera um número binário de saída  $z_3z_2z_1z_0$  igual ao produto aritmético dos dois números de entrada. Projete um circuito lógico para o multiplicador. (Sugestão: o circuito lógico terá quatro entradas e quatro saídas.)



27) Projete um circuito lógico cuja saída seja nível ALTO sempre que A e B forem nível ALTO, enquanto C e D estiverem em nível BAIXO ou ambas em nível ALTO. Tente fazer o projeto sem usar uma tabela-verdade. Em seguida, verifique o resultado construindo uma tabela- -verdade a partir do circuito, para ver se está de acordo com o enunciado do problema.

28) Dado o circuito abaixo na abaixo e as formas de onda apresentadas, desenhe as formas de onda nos pontos X e Y.



### Mapa de Karnaugh

29) Simplifique as expressões booleanas usando mapa de karnaugh:

(a)  $S = A\bar{B}\bar{C} + A\bar{B}C + \bar{A}BC + \bar{A}B\bar{C} + A.B.C$

(b)  $S = \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}C.D + \bar{A}\bar{B}\bar{C}\bar{D} + A.B.\bar{C}.D + \bar{A}.B.C.D + A.\bar{B}.\bar{C}.D + A.B.C.D + A.\bar{B}.\bar{C}.\bar{D}$

(c)  $S = \bar{B}.\bar{D} + \bar{A} + A.\bar{B}.\bar{C}.D + A.\bar{B}.C.D + \bar{A}.\bar{C}$

(d)  $S = A.B.C + A.B + \bar{A}.B.C.D + B.D + C.D + \bar{B}.C.\bar{D} + \bar{A}.B.\bar{C}.\bar{D}$

30) Determine a expressão simplificada de S1 e S2 para o sistema abaixo:

A	B	S <sub>1</sub>	S <sub>2</sub>
0	0	1	1
0	1	0	1
1	0	1	0
1	1	1	0

31) Determine a expressão mínima para o mapa K mostrados abaixo. Dedique atenção especial ao passo 5 para o mapa em (a).

	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$	1	1	1	1
$\bar{A}B$	1	1	0	0
$AB$	0	0	0	1
$A\bar{B}$	0	0	1	1

(a)\*

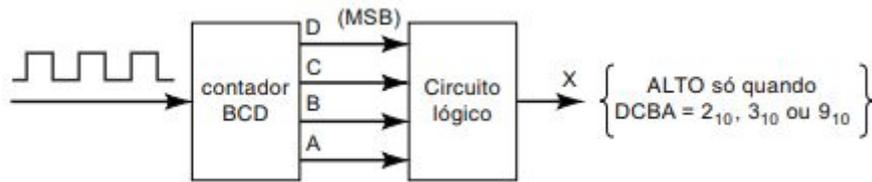
	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$	1	0	1	1
$\bar{A}B$	1	0	0	1
$AB$	0	0	0	0
$A\bar{B}$	1	0	1	1

(b)

	$\bar{C}$	C
$\bar{A}\bar{B}$	1	1
$\bar{A}B$	0	0
$AB$	1	0
$A\bar{B}$	1	X

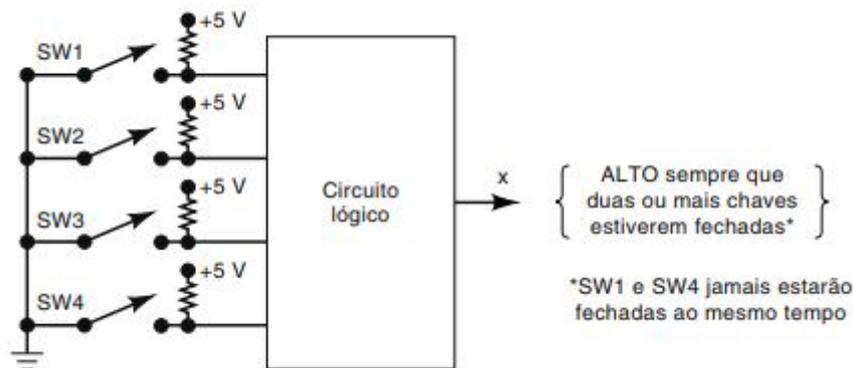
(c)

32) A Figura abaixo mostra um contador BCD que gera uma saída de quatro bits representando o código BCD para o número de pulsos que é aplicado na entrada do contador. Por exemplo, após a ocorrência de quatro pulsos, as saídas do contador serão DCBA = 01002 = 410. O contador retorna para 0000 no décimo pulso, começando a contagem novamente. Em outras palavras, as saídas DCBA nunca representarão número maior que 10012 = 910.



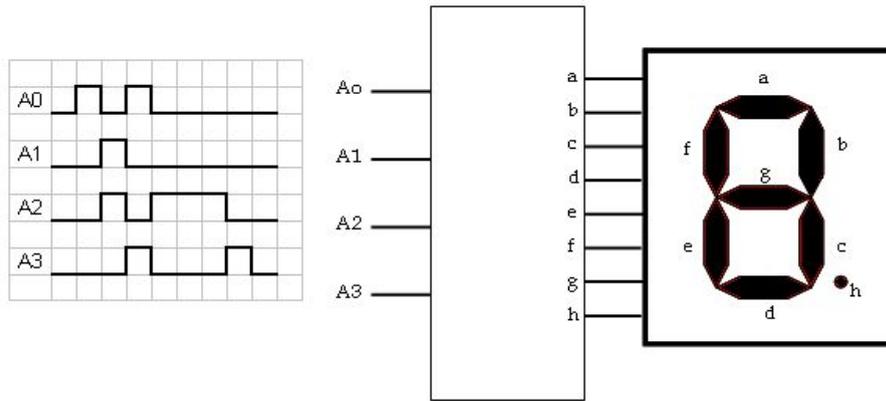
- (a) Projete um circuito lógico que gere saída em nível ALTO sempre que o contador estiver nas contagens 2, 3 e 9. Use o mapa K e aproveite as condições de irrelevância.  
 (b) Repita para  $x = 1$  quando DCBA = 3, 4, 5, 8.

33) A Figura mostra quatro chaves que fazem parte do circuito de controle em uma máquina copiadora. As chaves estão posicionadas em diversos pontos ao longo da trajetória do papel dentro da máquina. Cada chave está no estado normal aberta e, quando o papel passa sobre a chave, ela é fechada. É impossível o fechamento simultâneo das chaves SW1 e SW4. Projete um circuito lógico que gere saída em nível ALTO sempre que duas ou mais chaves estiverem fechadas ao mesmo tempo. Use o mapa K e aproveite as vantagens das condições de irrelevância.



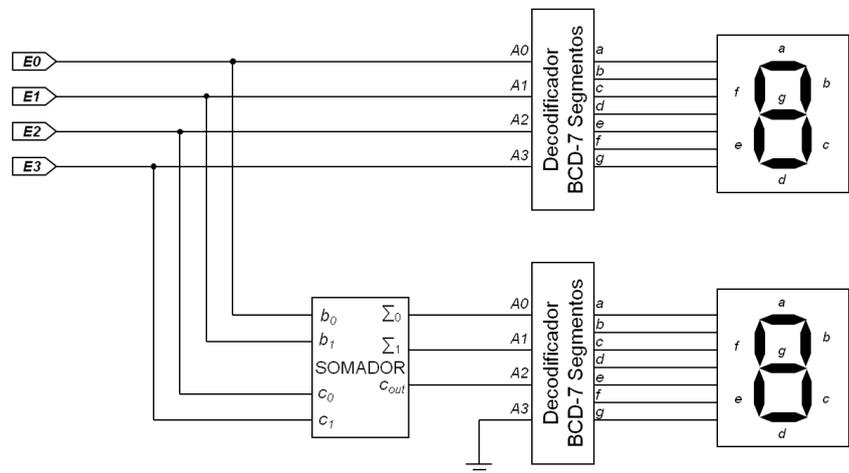
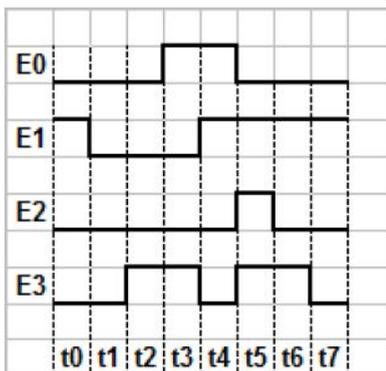
## Decodificador

34) Um decodificador BCD-7 Segmentos aciona um display conforme mostrado na Figura 1. Se as formas de onda mostradas são aplicadas conforme indicado, determine a sequência de dígitos que serão apresentados no display.



35) As formas de onda apresentadas são aplicadas às respectivas entradas do circuito. Sabendo-se que os decodificadores BCD-7 segmentos deixam apenas o segmento g em nível lógico ALTO para entradas inválidas:

- Diga qual a sequência numérica que irá aparecer no display superior.
- Diga qual a sequência numérica que irá aparecer no display inferior.



## Somadores

36) A razão pela qual o método sinal-magnitude para representação de números com sinal não é usado na maioria dos computadores pode ser prontamente ilustrada fazendo-se o seguinte:

- Represente +12 com oito bits usando a forma sinal-magnitude.
- Represente -12 com oito bits usando a forma sinal-magnitude.
- Some os dois números binários e observe que a soma não é igual a zero.

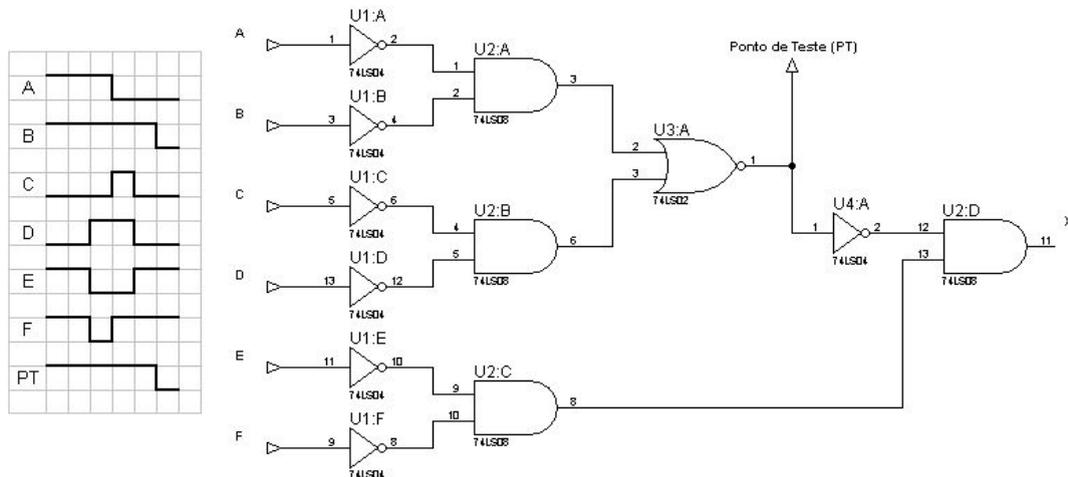
37) Realize as seguintes operações no sistema do complemento de 2. Use oito bits (incluindo o de sinal) para cada número. Verifique os resultados convertendo o resultado binário de volta para decimal.

- |                    |                         |
|--------------------|-------------------------|
| (a) Some +9 a +6   | (e) Subtraia +16 de +17 |
| (b) Some +14 a -17 | (f) Subtraia +21 de -13 |
| (c) Some +19 a -24 | (g) Subtraia +47 de +47 |
| (d) Some -48 a -80 | (h) Subtraia -36 de -15 |

38) Construa a tabela-verdade para um meio somador (com entradas A e B, saídas SOMA e CARRY). A partir da tabela-verdade, projete um circuito lógico que funcione como meio somador.

39) O somador completo visto na figura abaixo é testado para todas as condições de entrada utilizando-se as formas de onda apresentadas. A partir da observação das formas de onda  $\Sigma$  e Cout, responda:

- A operação do somador é adequada?
- Em caso negativo, qual o defeito mais provável?

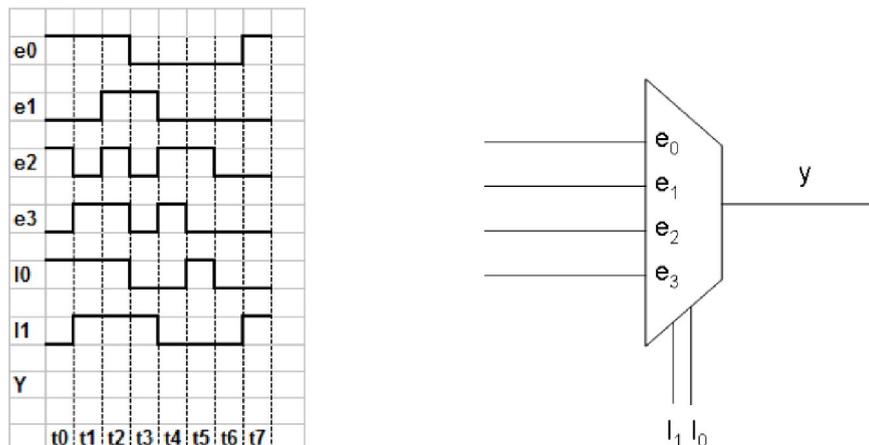


40) Dada a expressão booleana representada por  $\Sigma 0,1,2,5,7,8,9,10,13,15$ :

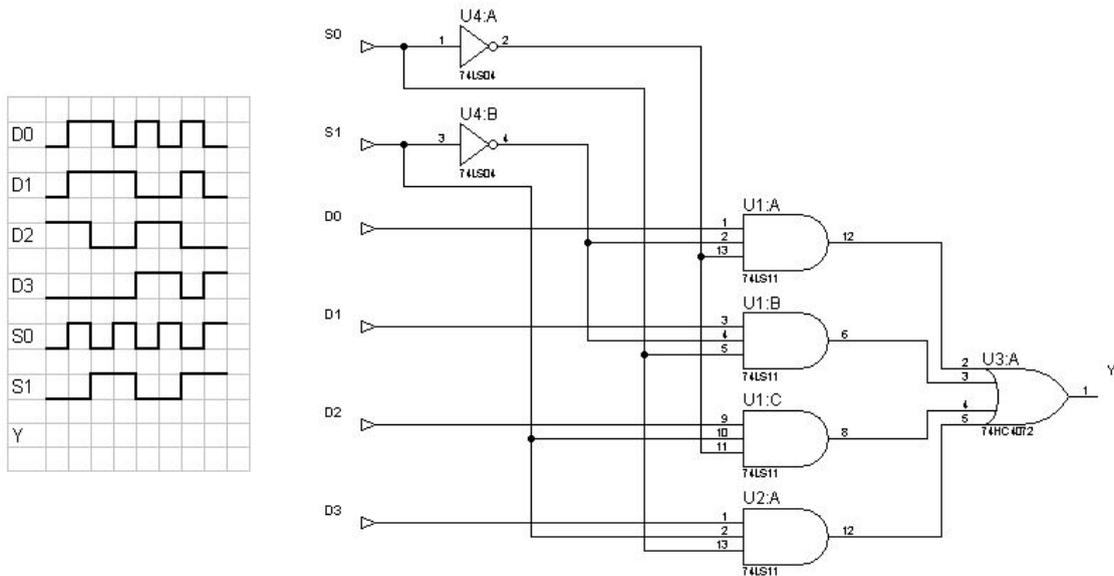
- Apresente uma expressão booleana mínima na forma de soma-de-produtos (SDP)
- Apresente uma expressão booleana mínima na forma de produto-de-somas (PDS)
- A partir da forma mínima para a SDP, desenhe o circuito lógico com o menor número possível de portas lógicas.

## Multiplex

41) Dado o circuito lógico mostrado abaixo, apresente a forma de onda na saída Y em função das formas de onda apresentadas.

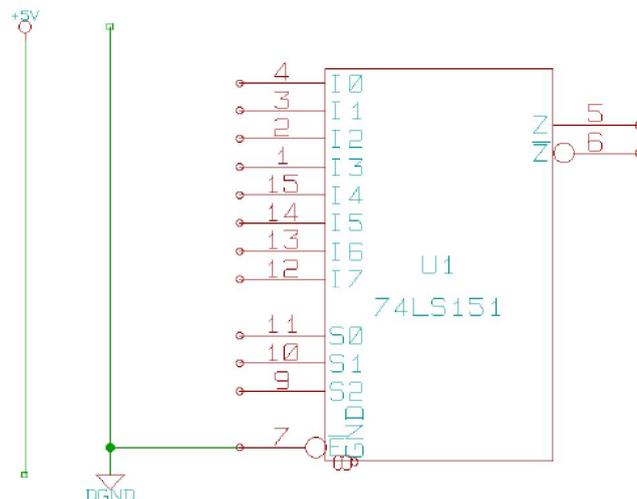


42) As formas de onda da entrada de dados (D3 a D0) e as formas de onda para as linhas de seleção (S1 e S0) são mostradas abaixo e aplicadas ao multiplexador. Determine a forma de onda na saída Y.



43) É possível utilizarmos um multiplexador para implementarmos qualquer função booleana. A Figura 4 apresenta o multiplexador 74LS151. As linhas de seleção são enumeradas como  $S_2, S_1, S_0$ , e as linhas de entrada como  $I_7, I_6, I_5, I_4, I_3, I_2, I_1, I_0$ . Desenhe as ligações das entradas ao barramento de dois fios (+5V e GND) de forma a implementar a seguinte expressão booleana:

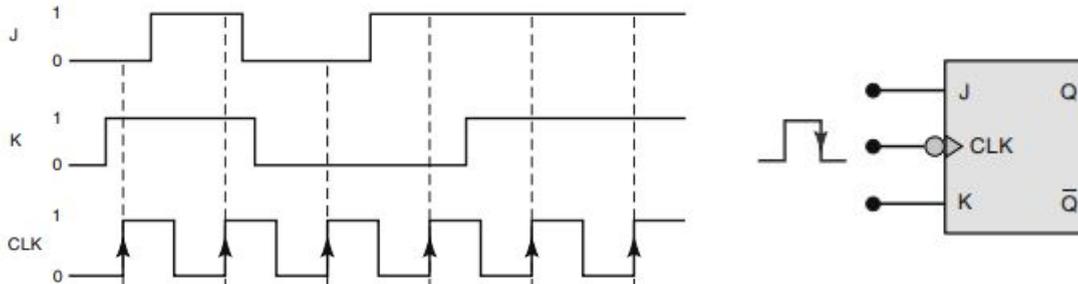
$$Z(S_2, S_1, S_0) = \overline{S_2} \oplus \overline{S_0} \cdot S_1$$



## Prova 2

### Flip-Flop's

1) Aplique as formas de onda J, K e CLK mostradas no FF abaixo. Considere inicialmente  $Q = 1$  e determine a forma de onda da saída Q.

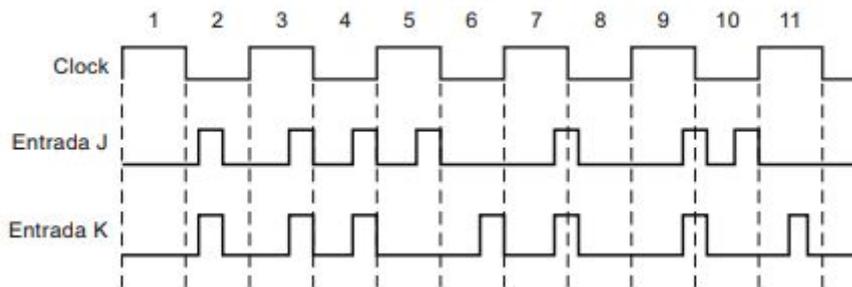


Mostre como um flip-flop J-K pode operar como um FF do tipo T (comuta de estado a cada pulso de clock). Em seguida, aplique um sinal de clock de 10 kHz na entrada de CLK desse FF e determine a forma de onda da saída Q.

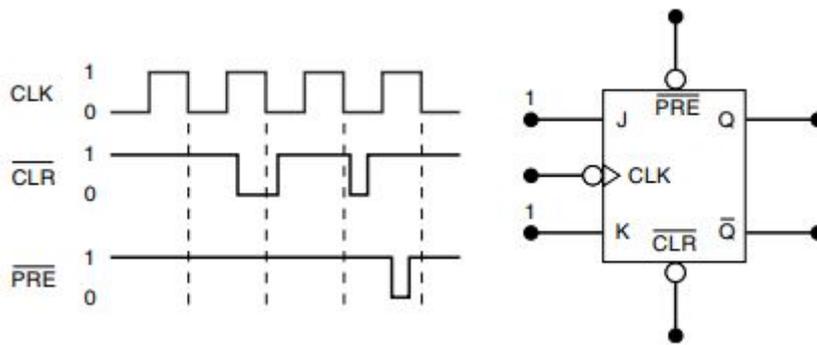
2) As formas de onda mostradas abaixo são aplicadas em dois FFs diferentes:

- (a) J-K disparado por borda de subida
- (b) J-K disparado por borda de descida

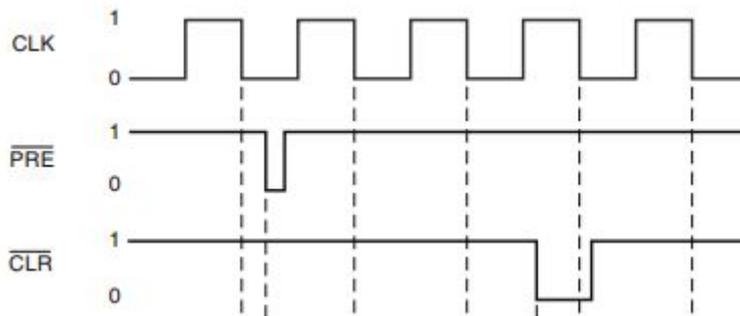
Desenhe a forma de onda da saída Q para cada FF, considerando inicialmente  $Q = 0$ . Considere que cada um tenha  $t_H = 0$ .



3) Determine a forma de onda da saída Q do FF. Considere inicialmente  $Q = 0$  e lembre-se de que as entradas assíncronas se sobrepõem a todas as outras.



4) Aplique as formas de onda CLK,  $\overline{PRE}$  e  $\overline{CLR}$ , mostradas abaixo, em um FF D disparado por borda de subida com entradas assíncronas ativas em nível BAIXO. Considere que a entrada D seja mantida em nível ALTO e que a saída Q esteja inicialmente em nível BAIXO. Determine a forma de onda da saída Q.



## Contadores

5) Contadores assíncronos são conhecidos como:

- Contadores ondulantes
- Contadores de clock múltiplo
- Contadores de década
- Contadores de módulo

6) Um contador assíncrono difere de um contador síncrono

- No número de estados de sua sequência
- Na forma de receber pulsos de clock
- No tipo de flip-flop usado
- No valor do módulo

7) Um contador ondulante de 4 bits consistem em flip-flops em que cada um tem um atraso de propagação a partir do clock para a saída Qn de 12ns. Para esse contador reciclar de 1111 para 0000, ele gasta um total de:

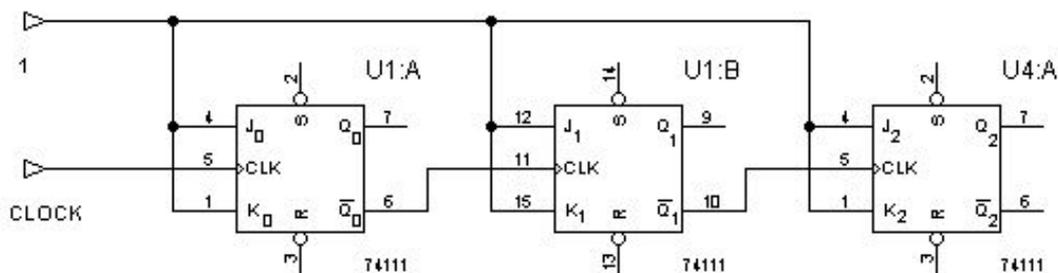
- a. 24 ns
- b. 48 ns
- c. 36 ns
- d. 12 ns

8) Um clock de 10 MHz é aplicado a um contador em cascata que consiste em: um contador de módulo 5, um contador de módulo 8 e dois contadores de módulo 10. A menor frequência de saída possível é:

- a. 10 kHz
- b. 2,5 kHz
- c. 5 kHz
- d. 25 kHz

9) Para o contador ondulante mostrado, considere que cada flip-flop tem um atraso de propagação de 8 ns. Determine:

- (a) o tempo de atraso para o pior caso (tempo mais longo) entre o pulso de clock até que o contador chegue a um estado estável.
- (b) Especifique o(s) estado(s).
- (c) Se o contador fosse síncrono em vez de assíncrono, qual seria o maior tempo?
- (d) Apresente as Equações de Excitação do circuito.

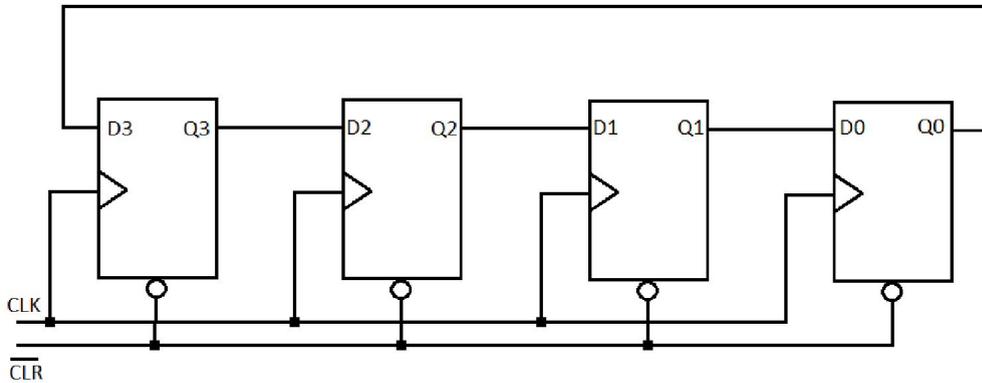


10) Projete e desenhe um contador assíncrono de 0 a 23 utilizando flip-flops do tipo T.

11) Projete e desenhe um contador síncrono que gere a seguinte seqüência: 1, 5, 3, 7, 2, 0, 1, ...

- (a) Utilize flip-flops JK.
- (b) Utilize flip-flops D.
- (c) Apresente a tabela de estados presente e futuro.
- (d) Se por acaso o contador entrar em um estado inválido, quais são os estados posteriores?

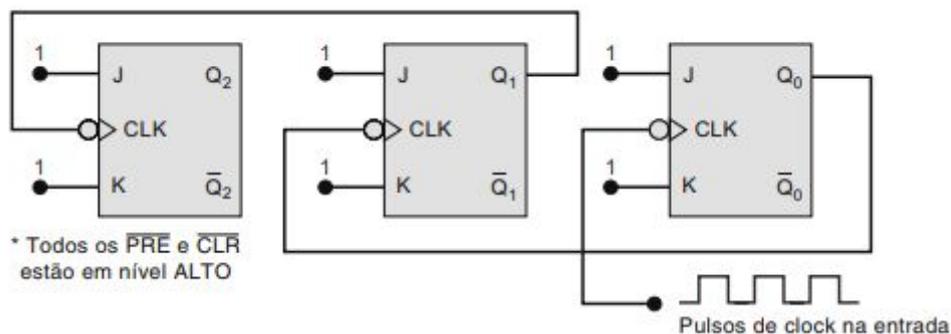
12) O circuito seqüencial mostrado abaixo é conhecido como contador em anel.



- Qual será o estado do contador após 6 pulsos de clock. Suponha que o estado inicial seja 1011:
- Se cada flip-flop possuir um atraso de 10 ns, qual será a frequência máxima teórica que o contador poderá atingir? Apresente os cálculos.
- O circuito é síncrono ou assíncrono? Justifique.

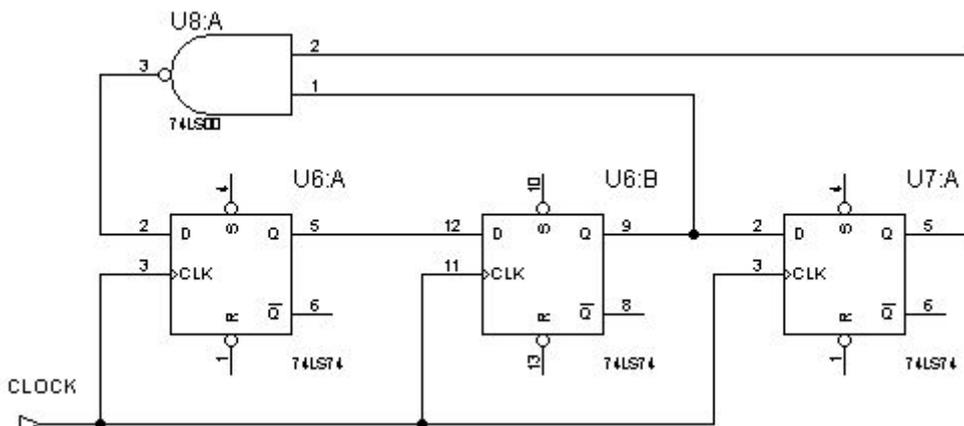
### Diagrama de estado

13) Veja o circuito do contador mostrado e responda:



- Se o contador começar em 000, qual será o valor da contagem após 13 pulsos de clock? E após 99 pulsos? E após 256 pulsos?
- Conecte um quarto FF J-K (X3) a esse contador e desenhe o diagrama de transição de estados para esse contador de 4 bits. Se a frequência de clock de entrada for de 80 MHz, como será a forma de onda em X3?

14) Determine o diagrama de estados completo do contador mostrado abaixo.



15) Projete e desenhe um contador síncrono crescente (R=0)/decrecente (R=1), utilizando flip-flops JK, para o diagrama de estados mostrado na Figura 1.

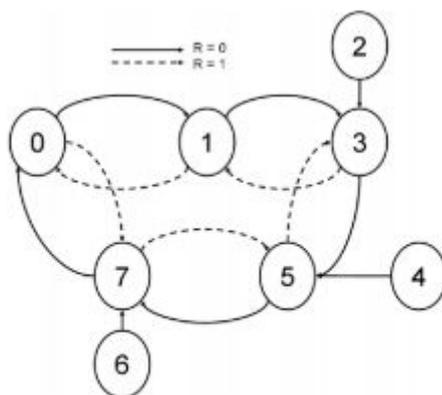
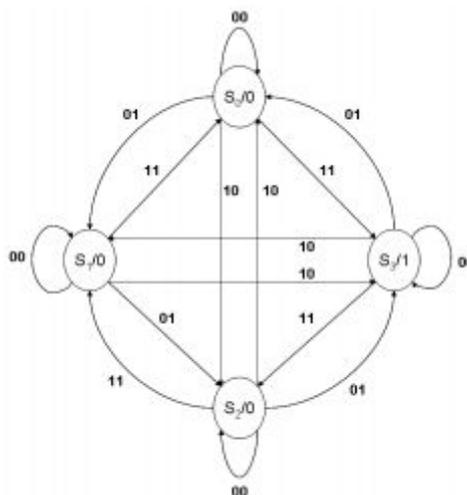


Figura 1: Diagrama de Estados

16) Analise o diagrama de estados abaixo.

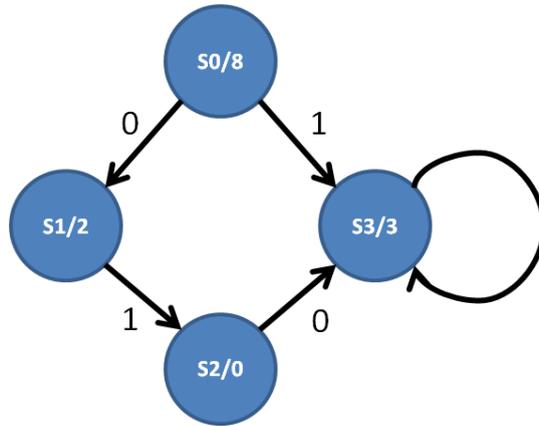


Este diagrama de estados apresenta a seguinte notação:

- transição: Conjuntamente com duas entradas,  $x_1x_2$ .
- estado: Representado juntamente com uma saída  $z$  - ex:  $S_{0/z}$ .

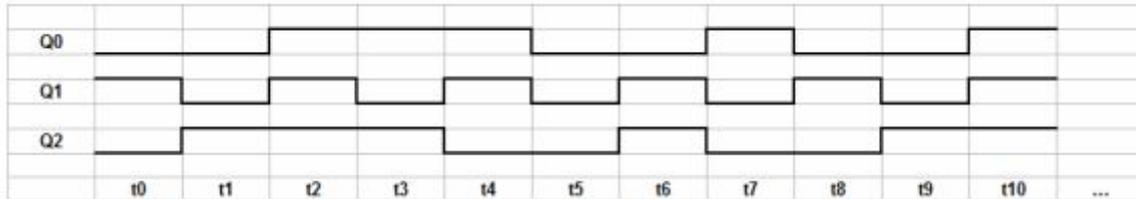
Seja o estado 00 associado ao label  $S_0$ , o estado 01 associado ao label  $S_1$ , o estado 10 associado ao label  $S_2$  e o estado 11 associado ao label  $S_3$  Flip-flops do tipo JK, para este diagrama de estados. Desenhe o circuito.

17) Dado o diagrama de estados do circuito abaixo, projete o circuito digital apresentando o que se pede nos itens:



- Tabela de estado atual/estado futuro
- Todos os mapas de *Karnaugh* completos
- Equações de excitação simplificadas
- Equações de saída do circuito
- Diagrama esquemático do circuito

18) Analise o diagrama de tempo abaixo e extraia dele o diagrama de estados. Sabe-se apenas que este diagrama foi gerado por um circuito seqüencial cíclico sem entradas e com três saídas (Q2Q1Q0).



- O circuito é síncrono ou assíncrono? justifique.
- Qual a condição inicial do circuito? por quê?
- Desenhe o diagrama de estados do circuito.

## VHDL

19) Dado o programa em VHDL abaixo, responda ao que se pede:

```
library ieee;
use ieee.std_logic_1164.all;

entity contador is
    port(clock : in std_logic;
          q : out integer range 0 to 4);
end contador;

architecture logica of contador is
begin
    process(clock)
        variable count : integer range 0 to 7 := 2;
    begin
        if(clock='1' and clock'event) then
            case count is
                when 0 => count := 2;
                when 1 => count := 0;
                when 2 => count := 2;
                when 3 => count := 4;
                when 4 => count := 1;
                when others => count := 0;
            end case;
        end if;
        q <= count;
    end process;
end logica;
```

- Forneça o diagrama de estados completo do contador;
- Qual a forma de transição dos flip-flops internos (nível ou borda, positiva ou negativa)?
- Qual será o estado inicial do contador quando ele for ligado?